

(11)特許出願公開番号

特開平7-181514

(43)公開日 平成7年(1995)7月21日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
1/1343				
G 0 9 F 9/30	3 3 0	7610-5G		
H 0 1 L 29/78				

H O 1 L 29/ 78

審査請求 未請求 請求項の数2 OL (全 8 頁)

(21)出願番号 特願平3-127716

(22)出願日 平成3年(1991)5月30日

(31)優先權主張番号 特願平2-185736

(32)優先日 平2(1990)7月12日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 池田 光志

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 室岡 三千男

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

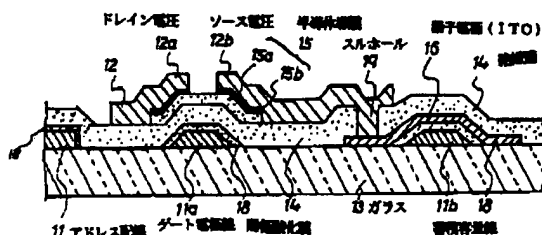
(74)代理人 弁理士 須山 佐一 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 点欠陥が発生せず、しかも製造コストの上昇や蓄積容量部におけるショートの問題がなく、さらに開口率の減少も少ない液晶駆動用半導体装置基板を備えたアクティブマトリックス型の液晶表示装置を提供することを目的とする。

【構成】 透明基板13の一面上に、それぞれに駆動用半導体素子15および蓄積容量が形成された表示用画素群を有する液晶駆動用半導体装置基板を具備してなる液晶表示装置において、前記蓄積容量は、表示電極16と透明基板13の一面上に設けたTaN から成る蓄積容量金属配線1bとの間に、金属陽極酸化膜18を配置することにより形成されていることを特徴とする。



1

【特許請求の範囲】

【請求項1】 透明基板の一主面上に、それぞれに駆動用の薄膜トランジスタおよび蓄積容量素子を備えた表示用画素群を有する液晶駆動用半導体装置基板を具備して成る液晶表示装置において、

前記蓄積容量素子は、前記透明基板の一主面上に設けたTaとNを含む金属から成る蓄積容量金属配線、この蓄積容量金属配線の表面に形成された金属陽極酸化膜、およびこの金属陽極酸化膜に接している表示電極により構成されていることを特徴とする液晶表示装置。

【請求項2】 透明基板の一主面上に、それぞれに駆動用の薄膜トランジスタおよび蓄積容量素子を備えた表示用画素群を有する液晶駆動用半導体装置基板を具備して成る液晶表示装置において、

前記蓄積容量素子は、前記透明基板の一主面上に設けた蓄積容量金属配線、この蓄積容量金属配線の表面に形成された金属陽極酸化膜、およびこの金属陽極酸化膜に接している表示電極により構成され、かつ前記薄膜トランジスタのゲート絶縁膜が前記表示電極上に形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】 【発明の目的】

【0002】

【産業上の利用分野】 本発明は液晶表示装置に係り、アクティブマトリックス型の液晶表示装置に関する。

【0003】

【従来の技術】 近年、非晶質シリコン(a-Si)膜を用いた薄膜トランジスタ(TFT)をスイッチング素子として設けたアクティブマトリックス型液晶表示装置(LCD)が注目されている。安価なガラス基板上に低温成膜ができるa-Si膜を用いてTFTアレイを構成することにより、大面積、高精細、高画質かつ安価なパネルディスプレイ(フラット型テレビジョン)を実現できる可能性があるからである。

【0004】 ところで、図13はこの種の液晶表示装置における液晶駆動用半導体装置基板の画素の等価回路を示したものであるが、同図に示したように、TFTのゲートとソース間の浮遊容量(C_{gs})のカップリングにより、アドレスパルスを与えるスイッチングを行う際、画素電位の変化が発生することから、この画素電位の変化を抑えるために、液晶層(Lc)に並列に蓄積容量(C_s)が設けられる。図13において、1はアドレス配線、2はデータ配線である。

【0005】 一方、従来、このような画素回路を構成する液晶駆動用半導体装置基板は、たとえば図14に断面的に示すように構成されている。すなわち、ガラス基板3の一方の面上に、アドレス配線1とこのアドレス配線1に接続されたゲート電極線1a、および蓄積容量線1b、これらを被覆する絶縁膜4、この絶縁膜4を介してゲート電極線1a上に形成されたTFTの半導体薄膜5と、その両

2

端に形成されたドレイン電極2aおよびソース電極2b、絶縁膜4を介して蓄積容量線1b上に、この蓄積容量線1bと蓄積容量を形成するように設けられた表示電極6、絶縁膜4上にアドレス配線1とほぼ直交するように形成されたデータ配線2とを具備した構成となっており、TFTのドレイン電極2aはデータ配線2に接続され、ソース電極2bは表示電極6に接続されている。

【0006】 なお、前記構造に限らず、蓄積容量線1bは光を透過しないため開口率が減少するという問題があり、蓄積容量線1bの面積をできるだけ小さくしたいという要望がある。

【0007】 また、このような構成の液晶駆動用半導体装置基板では、配線パターンの乱れによりデータ配線2と表示電極6がショートし、点欠陥が発生することがあった。このため近年、図15に断面的に示すように、表示電極6上および先に形成した絶縁膜4(以下、第1の絶縁膜と記す)上を、表示電極6とソース電極2bとの接続部分を除いて第2の絶縁膜7で被覆し、これによって上記したような点欠陥の発生を防止することが検討されている。

【0008】 しかしながら、前記構造では層間絶縁膜が第1の絶縁膜4および第2の絶縁膜7の2層に形成されることになるため、次のような問題がある。すなわち、通常この絶縁膜7はCVD法もしくはプラズマCVD法により形成されるが、この種の装置は価格が高いため、CVD膜を2回堆積することは製造コスト高となる。

【0009】 また、ゲート電極線1aと半導体薄膜5間の絶縁膜厚を適正にするためには、第1の絶縁膜4の膜厚を薄くせざるをえず、このために表示電極6と蓄積容量線1bとの間でショートが発生し易くなる。

【0010】

【発明が解決しようとする課題】 ところで、このような構成において、蓄積容量の値 C_s は絶縁膜の比誘電率を ϵ_s 、膜厚を d 、電極の面積を S とすると、

$$C_s = \epsilon_0 \epsilon_s / d \times S$$

で決まる。このため大きな容量を得るためには、 ϵ_s 、 S を大きく、 d を小さく設定することが望ましい。しかし、 ϵ_s は材料により決まり、たとえばSiO₂の場合4、SiN_xの場合7で大きい値とはいえない。また、 d は絶縁耐圧、リーク電流、ピンホール密度の制限より小さくすることも限界があり、 S は開口率を上げるためには小さくしなければならず、高い誘電率をもつ絶縁膜が必要視される。しかも、前記開口率の増大は、画素の縮小に伴い必要性が増している。なお、蓄積容量値 C_s は、データの書き込み時に、 $\Delta V_d = C_{gs} / (C_{gs} + C_s + C_{lc}) \times V_g$ の電圧降下が生じるため必要である。ここで、 ΔV_d は液晶にDC成分を発生することになるため、 V_g の1%以下であることが必要である。通常のFETで $C_{gs} \sim 0.1 \text{pF}$ 、 $C_{lc} \sim 0.2 \text{pF}$ であるため、 C_s は100C_{gs}、 $\sim 10 \text{pF}$ 必要である。保持特性($\tau = C_s R$)として

3

は、フリッカーを少なくするためにフレームタイムの5倍、 $5 \times 33 \text{ ms}$ が必要で、このため C_1 の値と抵抗に対して通常は、 $C_1 R \geq 5 \times 33 \text{ ms}$ が必要である。

【0011】他方、 $C_1 R = \epsilon_0 \epsilon_s / d \times S \cdot d / S$
 $\rho = \epsilon_0 \epsilon_s \cdot \rho$ であるため、

$\epsilon_s \cdot \rho \geq 1.9 \times 10^{12}$

となる。このため SiO_2 ($\epsilon_s = 4$) では $\rho \geq 4.7 \times 10^{11} \Omega \text{cm}$ 、 SiN ($\epsilon_s = 7$) では $\rho \geq 2.7 \times 10^{11} \Omega \text{cm}$ 、 TaO ($\epsilon_s = 30$) では $\rho \geq 6.2 \times 10^{10} \Omega \text{cm}$ である。しかし、実際には R は R_{on} と TFT の off 抵抗 (R_{off}) との並列抵抗であるため、おおよそ前記の2倍となりたとえば TaO では $\rho \geq 1.2 \times 10^{11} \Omega \text{cm}$ となる。しかし、 TaO では ρ が $3 \times 10^9 \Omega \text{cm}$ から $5 \times 10^{10} \Omega \text{cm}$ であってこの条件を満足し得ない。つまり、蓄積容量値 C_1 を大きくするためには、比誘電率 ϵ_s が大きく、抵抗率 ρ の大きい材料が必要となる。

【0012】また他方、配線パターンの乱れによる点欠陥の発生を防止するために、表示電極上を絶縁膜で被覆した構造の液晶駆動用半導体装置基板が検討されている。しかしながら、高価な装置を必要とする CVD もしくはプラズマ CVD 成膜法で層間絶縁膜を2層堆積しなければならない。さらに、蓄積容量線と表示電極との間でショートが発生し易いという問題がある一方、開口率の減少を抑えるために蓄積容量線の面積をできるだけ小さくしたいという要望がある。

【0013】本発明はこのような点に対処してなされたもので、点欠陥が発生せず、しかも製造コストの上昇や蓄積容量部におけるショートの問題がなく、さらに開口率の減少も少ない液晶駆動用半導体装置基板を備えたアクティブマトリックス型の液晶表示装置を提供することを目的とする。

【0014】[発明の構成]

【0015】

【課題を解決するための手段】本発明は、透明基板の一主面上に、それぞれに駆動用の薄膜トランジスタおよび蓄積容量素子を備えた表示用画素群を有する液晶駆動用半導体装置基板を具備して成る液晶表示装置において、前記蓄積容量素子は、前記透明基板の一主面上に設けた Ta と N を含む金属から成る蓄積容量金属配線、この蓄積容量金属配線の表面に形成された金属陽極酸化膜、およびこの金属陽極酸化膜に接している表示電極により構成されていることを特徴とする。

【0016】本発明において Ta と N を含む金属としては、Ta、Al、Mo-Ta、W-Ta、Nb-Ta、Al-W-Ta、Al-Nb-Ta、Ti-W-Ta、Ti-Nb-Ta、Zr-W-Ta、Zr-Nb-Ta などの金属で N を含むものであればどのようなものであってもよい。

【0017】

【作用】本発明に係る金属陽極酸化膜の比誘電率は、従来用いられてきた CVD やプラズマ CVD による SiO_2 膜や

4

SiN_x 膜の比誘電率に比べて大きいこと、蓄積容量電極の面積を小さくすることができ、開口率を上げることができる。ちなみに比誘電率は、従来の SiO_2 膜が4、 SiN_x 膜が7であるのに対して、金属陽極酸化膜では、たとえば AlO_3 膜は8、 TaO_3 膜は30、 Ta-N-O 膜は10~30、 TiO_3 膜は80、 ZrO_3 膜は9といった高比誘電率を有している。

【0018】しかも、低価格な装置で形成できる金属陽極酸化膜を用いるため、従来の CVD やプラズマ CVD 法により形成する絶縁膜より低コストで製造することができる。また、前記金属陽極酸化膜はピンホールが発生しないため、薄膜に形成しても蓄積容量配線と画素電極間にショートが発生するおそれがない。すなわち、CVD 膜やプラズマ CVD 膜は堆積により形成されるため、堆積粒子によるピンホールの発生が避けられないのに対し、金属陽極酸化膜は表面から酸化されるため、自己補修作用を持ちピンホールが発生しない。したがって薄膜に形成しても何ら問題がない。

【0019】

【実施例】以下、本発明の実施例を図面を用いて説明する。

【0020】図1は本発明にかかる一実施例において用いた液晶駆動用半導体装置基板の要部構成を示す断面図である。図1において、透明基板13、たとえばガラス基板の一主面上に、金属配線材料たとえば $\text{Ta}_{0.8}\text{N}_{0.2}$ によりゲート電極線11a、蓄積容量線11b およびアドレス配線11gが形成され、これらの各配線の表面が、金属陽極酸化膜18たとえば Ta-N-O 膜で被覆されている。

【0021】また、蓄積容量線11b 上の金属陽極酸化膜18の上には、表示電極材料たとえばITOにより表示電極16が形成され、さらにこの表示電極16上およびゲート電極線11a 上が、絶縁膜14たとえば SiO_2 膜で被覆されている。さらに、前記絶縁膜14を介してゲート電極線11a 上に、たとえばa-Si膜15a、 n^+ a-Si膜15bを順に形成し、チャンネル部の n^+ a-Si膜を除去して構成された半導体薄膜15が形成され、その両端部に、たとえばMo/Alによりドレイン電極12a およびソース電極12b が形成されている。

【0022】そして、一方のドレイン電極12a は、絶縁膜14上に形成されたデータ配線12に接続され、他方のソース電極12b は表示電極16上の絶縁膜14に穿設したスルーホール19を介して表示電極16に接続されている。

【0023】このように構成された液晶駆動用半導体装置基板では、金属陽極酸化膜の比誘電率が、たとえば Ta-N-O 膜では10~30、 TaO_3 膜で30と、 SiO_2 膜の4や SiN_x 膜の7に比べて大きいこと、蓄積容量線11b の面積を減少 (TaO_3 膜の場合 SiO_2 膜に比べてほぼ1/7程度、 $\text{Ta}_{0.8}\text{N}_{0.2}$ 膜の場合は SiO_2 膜に比べてほぼ1/6程度) させることができ、これによって開口率も上昇させることができる。

【0024】ここで、陽極酸化膜として、前記Ta₂O₅膜の代わりに Ta₂O₃ 膜を用いることも可能であるが、この場合はリーク電流が大きいので、 ρ の条件を満たすためには陽極化成膜の化成電圧を200 V 程度に上げる必要がある。したがって、Ta₂O₃ 膜の膜厚はTa₂O₅膜の2倍となり容量は1/2 になってしまい、また配線の段差も大きくなり、データ線の段線が発生し易くなるなどの可能性がある。

【0025】図2は前記Ta₂O₅膜について、抵抗率の組成および化成電圧の依存性を示したものである。必要な抵抗率より計算すると、蓄積容量のリーク電流としては、 2×10^{-6} A/cm² 以下（抵抗率では 1.2×10^{11} Ωcm以上）であることが必要である（ただしこの値はTFTの大きさ、フレム周波数などにより多少変化する）。図2から分かるように、Taに Nを1%添加したTa₂O₅膜の場合は、化成電圧が100V でもリーク電流の条件を満足しているのに対し、Nがほとんど添加されていない Ta₂O₅膜の場合は、化成電圧が150 V でもリーク電流の条件を満足しない。したがって、Ta₂O₅で絶縁膜を形成する場合は、絶縁膜の厚さを薄くできるので、同じ面積でも大きい蓄積容量を得ることが可能となる。なお、Ta₂O₅膜の場合、Taのスパッタ条件、微量な不純物によって容易にリーク電流が増加するが、Nを添加することによってリーク電流が小さい値に安定する。

【0026】また、図3に示すように、NbTa₂N₅を、下層膜とし、この下層膜上にTaをスパッタして上層として形成されるTa層が、抵抗率の大きいβ-Taから抵抗率の小さいα-Taに変化した場合の組成比と抵抗率の関係を示したものである。このようにTa/NbTa₂N₅構造化することにより、配線の低抵抗化を図ることができる。さらに、図4および図5はNbとTaとの合金に Nを合金化（図4はNb_{0.85}Ta_{0.15}N_{0.2}、図5は（Ta_{0.85}Nb_{0.15}）_{1-x}N_y）することにより、Ta₂N₅の場合と同様に陽極酸化膜のリーク電流が減少する傾向を示したものであり、図6(a)および(b)はNbTa₂N₅を下層膜とし、この下層膜上にTaを積層した場合において下層膜の組成比と上層に形成したTa層抵抗率の関係を示し、この構成（積層化）によってTa層の低抵抗化を成し得る。つまり、前記Nbの合金化によって、より少ない Nの添加量（10 atm % 以下）でもTaの低抵抗化を達成し得るので、下層の金属として、陽極酸化膜のリーク電流がより小さいTa-Nb-N-O膜、Ta-Mo-N合金膜、Ta-W-N合金膜などを使用し得る。なお、条件を満たす Nの量は、製造条件によっても異なるが、5~45 atm % の範囲であればよく、またNb, Mo, Wの量も Nの量により異なるが、50 atm % までの範囲ならよい。

【0027】次に上記液晶駆動用半導体装置基板の製造例を説明する。

【0028】透明基板13、たとえばガラス基板上に、スパッタリング法で金属配線材料、たとえばTa-Nを300nm

成膜し、パターニング、続いてエッチングしてゲート電極線11a、蓄積容量線11b およびアドレス配線11を形成する。

【0029】次いで、クエン酸中で100Vまで0.5mA/cm²で定電流酸化し、続いて100Vで定電圧酸化して、上記各配線の表面に金属陽極酸化膜18、たとえば厚さ200 nmのTa₂O₅膜を形成する。

【0030】つづいて、蓄積容量線11b上の金属陽極酸化膜18上に、スパッタリング法で表示電極材料、たとえばITOを厚さ100nm成膜し、パターニング後、エッチングして表示電極16を形成する。この後、たとえばプラズマCVDにより厚さ300nm程度のSiO₂膜を形成し、このSiO₂膜の所用箇所にスルーホール19を、たとえばエッチング処理により穿設する。

【0031】このようにして形成した絶縁膜14上に、さらに厚さ300nmのa-Si膜15a、厚さ50nmのn+a-Si膜15bをたとえばプラズマCVDにより順に連続形成してa-Siの島を形成した後、これらの上に、配線材料、たとえばMoとAlをスパッタリング法により膜厚1μm程度に成膜し、パターニング後、エッチングしてドレイン電極12a、ソース電極12b、データ配線12を形成する。しかる後、チャンネル部のn+a-Si膜15bをエッチングすることにより、上記構造の液晶駆動用半導体装置基板が完成する。

【0032】なお、図7は上記液晶駆動用半導体装置基板の構成において、透明基板13、たとえばガラス基板上に、配線抵抗を低下させるために、Al 11'をスパッタリングにより成膜し、パターニングした後に、Ta、および TaN₅などを被覆し、以下上記実施例の場合と同様にして製造した構成例である。この構成例ではAlの代わりに、Cu, Au, Ptなどを用いてもよく、また TaN₅膜を基板全面に形成してAlまで陽極酸化して透明化してもよい。

【0033】図8は本発明に係るさらに他の実施例の液晶駆動用半導体装置基板を示した断面図である。この実施例では、アドレス配線の抵抗を下げるため、たとえばガラス基板13上に下地金属として、Ta-N、Mo-Ta-N、Nb-Ta-N、W-Ta-W、もしくはこれらの相互間金属の合金11a'、11b'、11c'を30nm堆積し、その上に低抵抗のTa層11a''、11b''、11c''を170 nm積層し、さらに陽極酸化膜の抵抗率を上げるために、前記Ta層11a''、11b''、11c''上にTa-N、Mo-Ta-N、Nb-Ta-N、もしくはW-Ta-Nの合金層11a'''、11b'''、11c'''を100 nm積層してその表面を陽極酸化したもので、以下上記実施例の場合と同様にして製造した構成例である。

【0034】前記図3、図6(a)および(b)に例示したように、Taは通常抵抗の高い正法晶の(β-Ta)がスパッタにより形成されるが、前記のように下地金属層11a'、11b'、11c'の上に製膜することによって抵抗の低い立法晶のTa(α-Ta)層11a''、11b''、11c''を形成できる。また、前記Ta層11a''、11b''、11c''上

にさらに形成されたMo-Ta、Nb-Ta、もしくはW-TaとNとの合金11a'、11b'、11c'の陽極酸化膜も、Ta_N陽極酸化膜と同様に高い絶縁抵抗を呈する。なお、この例の場合において、表面に金属とNとの合金を積層せずに、合金層11a'、11b'、11c'とTa層1a'、11b'、11c'との2層構造とし、化成電圧を200V程度に設定すれば、同様の効果が得られる。勿論前記Ta層に少量のNを添加しておいてもよい。

【0035】さらに、この例で上層の絶縁膜14の選択的なエッチングに当たって、前記下地金属層11a'、11b'、11c'がガラス基板13のエッチングストッパーとして機能する。

【0036】図9は本発明に係るさらに他の実施例の液晶駆動用半導体装置基板を示した断面図で、ITO表示電極16上の絶縁膜による液晶への印加電圧低下を防止するため、TFT形成後に画素部の絶縁膜をエッチング除去した以外は、前記実施例の場合と同様なプロセスで製造・構成されている。また、図10はCs部のゲート絶縁膜を除去後、ITO表示電極16を形成したプロセスで構成した例を示し、さらに図11は表示部の段差をなくするために、Cs用電極16'とは別にパッシベーション絶縁膜20を形成してから、表面に表示電極16を構成した場合の例示であり、さらにまた図12に示すごとくTa_NOなどの絶縁膜18'による被覆は、表示部のみでなくアレイの大部分を覆う構成としもよい。そして、所要の液晶表示装置は、いずれの場合もアレイ基板（液晶駆動用半導体装置基板盤）と対向電極板との間に液晶を封入することによって形成される。なお、前記頭9〜図12において符号21は半導体薄膜15面に設けられたストッパー絶縁膜である。

【0037】本発明は、以上説明した実施例に限定されるものではなく、TFTとして、上記実施例のようにチャネル部をエッチングするバックチャネルカットタイプに限らず、チャネル上に絶縁膜のストッパを設ける構造でもよいし、あるいはゲートが上に配置されるスタagger型でもよい。また、半導体はa-Siに限らず、p-Si、CdSeでもよいし、ITO上の表示部の絶縁膜はエッチングによって除去してもよい。さらにゲート電極線11a、蓄積電極線11b、およびアドレス配線11は、TaやTa_Nに限らず、陽極酸化可能な金属であればよく、Ta、Mo-Ta、W-Ta、Ta-N、Al、Ti、Zr、およびこれらの合金などを例示することができ、これらの材料の積層膜であってもよい。そして、これらの金属や合金の陽極酸化に用いる溶液は、苦塩酸に限らず、Ta系の場合は磷酸でもよいし、いずれにせよ使用している金属に適する溶液を用いればよい。

【0038】また絶縁膜14も、プラズマCVDによって成膜したSiO_xに限らず、各種成膜方法により成膜されたSiO₂やSiN_x、あるいはこれらの積層膜であってもよい。表示電極もITOに限らず金属であってもよい。

【0039】

【発明の効果】以上説明したように、本発明の液晶表示装置は、金属陽極酸化膜の誘電率が高いので、蓄積電極の面積を小さくすることができ、開口率を大きくすることができる。しかも、ピンホールの発生がないうえ、低価格な装置で形成できる金属陽極酸化膜を用いているので、欠陥が発生しないうえ、製造コストの上昇や蓄積電極部におけるショートが発生のおそれがない。

【0040】また、前記図1および図15に図示した構成の比較から分かるように、従来例（図15）の表示電極（ITO）6の埋め込み構造の場合、表示電極6を挟む絶縁膜の厚さが、ゲート絶縁膜の厚さより薄く成るため、本発明（図1）のように表示電極（ITO）16上の絶縁膜厚さが陽極酸化膜を除いてゲート絶縁膜の厚さと等しい場合に比べて、ピンホールが発生し易くリーク電流が大きくなって、ITO画素電極とパターン乱れのデータ線とのショート発生確率が高くなるとともに、表示電極（ITO）6とゲート線とのショート発生の確率も高くなる。こうした問題に対して、本発明の構成の場合は、表示電極（ITO）16上の絶縁膜が十分な膜厚を採れ、またCs線上の陽極酸化膜も良質で比誘電率も高いため、TFTのオン電流を損なうことなく十分な絶縁性を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板の要部構成例を示す断面図。

【図2】Ta_N陽極酸化膜の抵抗率と組成の関係を示す曲線図。

【図3】Ta_N膜上に形成したTa層の導電率とTa_N膜組成の関係を示す曲線図。

【図4】Ta-Nb-N膜の陽極酸化膜の抵抗率と膜組成の関係を示す曲線図。

【図5】Ta-Nb-N膜の陽極酸化膜の抵抗率と膜組成の関係を示す曲線図。

【図6】aおよびbはTa-Nb-N膜上に形成したTa層の導電率とTa-Nb-N膜組成の関係をそれぞれ示す曲線図。

【図7】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板の他の要部構成例を示す断面図。

【図8】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板のさらに他の要部構成例を示す断面図。

【図9】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板のまたさらに他の要部構成例を示す断面図。

【図10】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板の他の異なる要部構成例を示す断面図。

【図11】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板のさらに他の異なる要部構成例を示す断面図。

【図12】本発明に係る液晶表示装置が具備する液晶駆動用半導体装置基板の別の要部構成例を示す断面図。

9

【図13】 TFT-LCD の画素の等価回路を示す回路図。

【図14】 従来の液晶表示装置が具備する液晶駆動用半導体装置基板の要部構成例を示す断面図。

【図15】 従来の液晶表示装置が具備する液晶駆動用半導体装置基板の要部構成例を示す断面図。

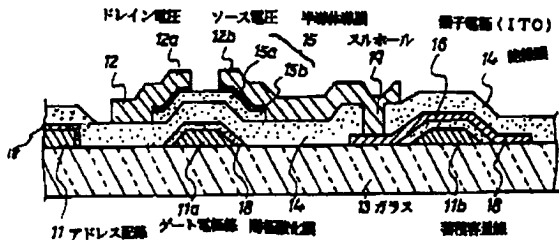
【符号の説明】

1、11…アドレス配線 1a、11a …ゲート電極線
1b、11b …蓄積容量線

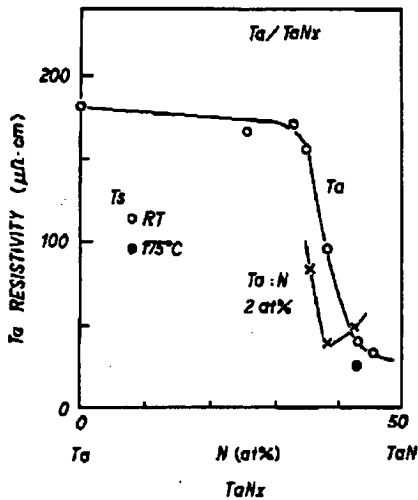
10

2、12…データ配線 2a、12a …ドレイン電極 2b、12b …ソース電極
3、13…透明基板 4、14…絶縁膜 5、15…半導体薄膜 6、16…表示電極 7…第2の絶縁膜
11'…Al層 18…金属陽極酸化膜 19…コンタクトホール 20…パッシベーション絶縁膜 21…ストップパー絶縁膜

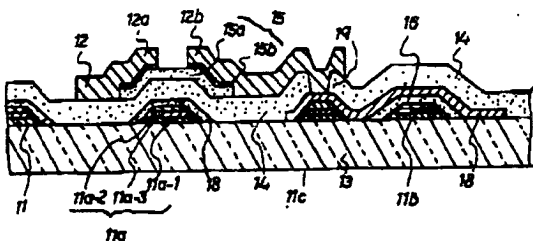
【図1】



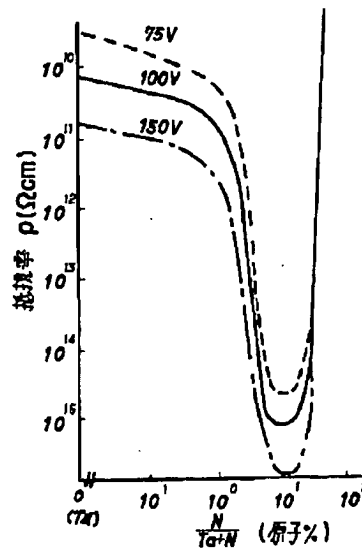
【図3】



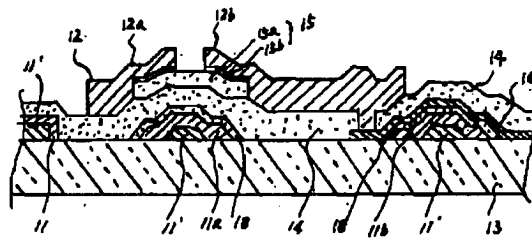
【図8】



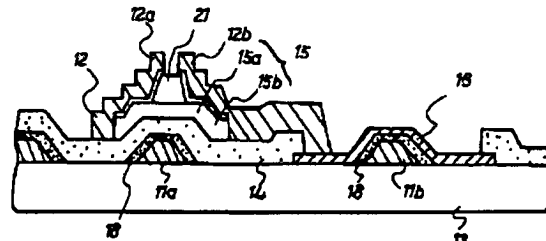
【図2】



【図7】



【図9】



9

【図13】 TFT-LCD の画素の等価回路を示す回路図。

【図14】 従来の液晶表示装置が具備する液晶駆動用半導体装置基板の要部構成例を示す断面図。

【図15】 従来の液晶表示装置が具備する液晶駆動用半導体装置基板の要部構成例を示す断面図。

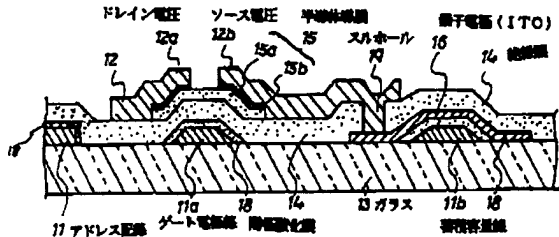
【符号の説明】

1、11…アドレス配線 1a、11a …ゲート電極線
1b、11b …蓄積容量線

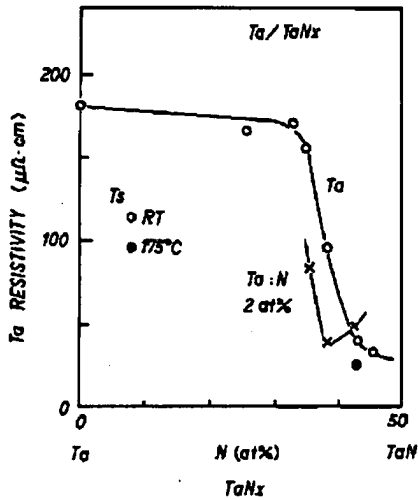
10

2、12…データ配線 2a、12a …ドレイン電極 2b、12b …ソース電極
3、13…透明基板 4、14…絶縁膜 5、15…半導体薄膜 6、16…表示電極 7…第2の絶縁膜
11'…Al層 18…金属陽極酸化膜 19…コンタクトホール 20…パッシベーション絶縁膜 21…ストップパー絶縁膜

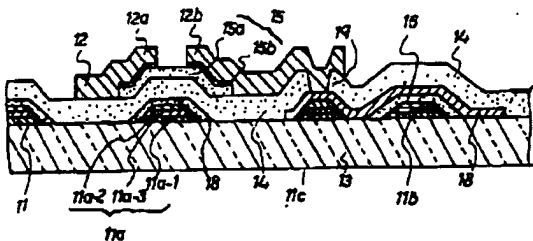
【図1】



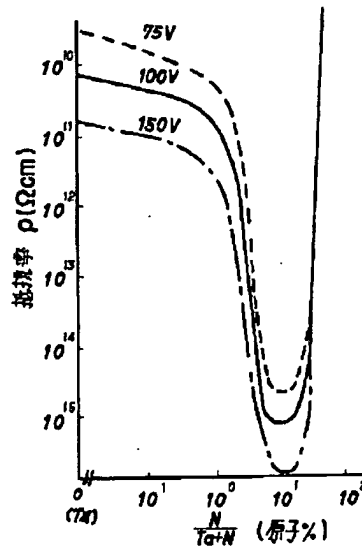
【図3】



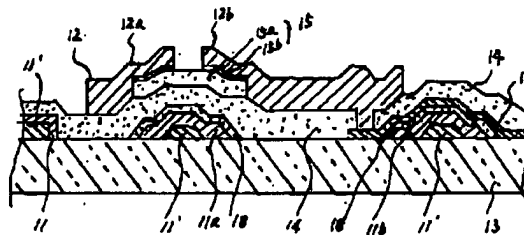
【図8】



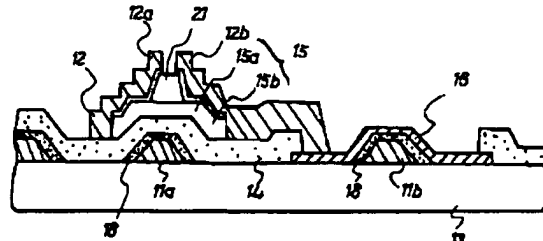
【図2】



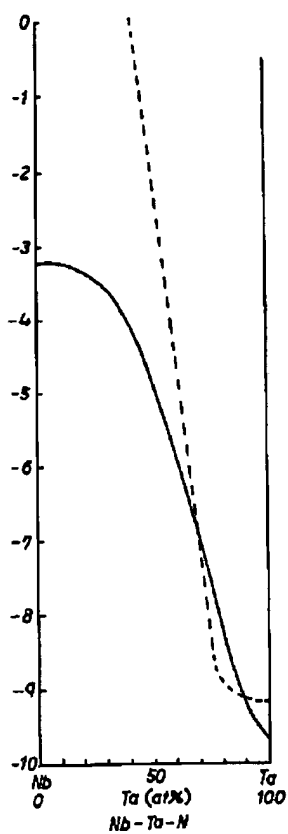
【図7】



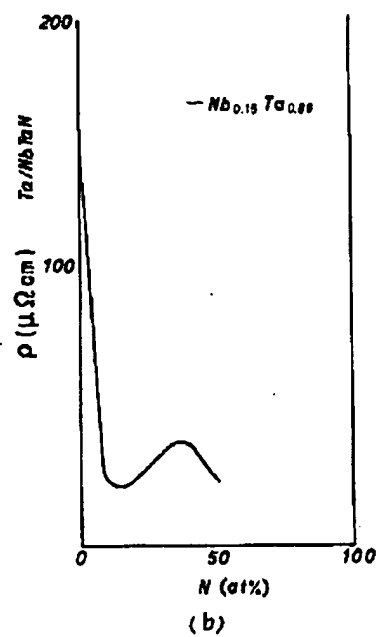
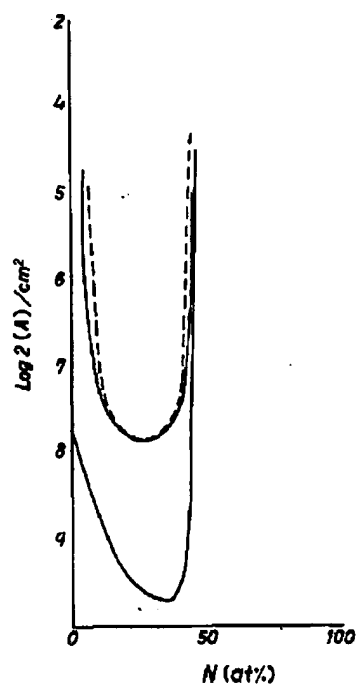
【図9】



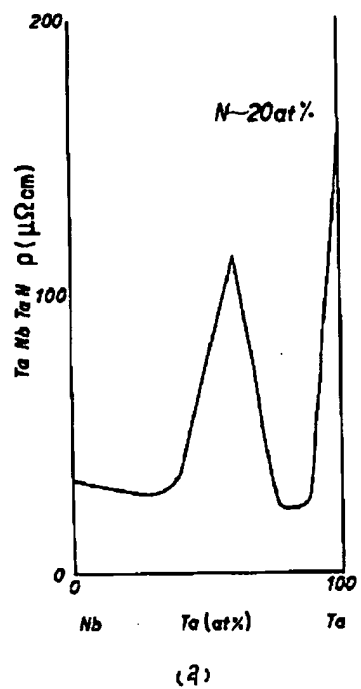
【図4】



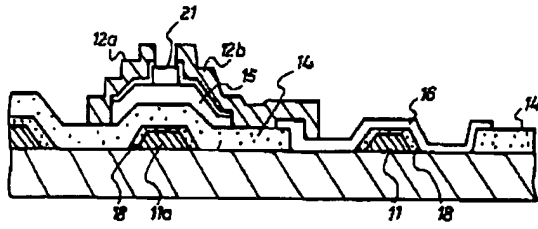
【図5】



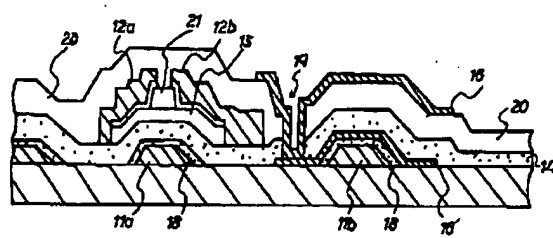
【図6】



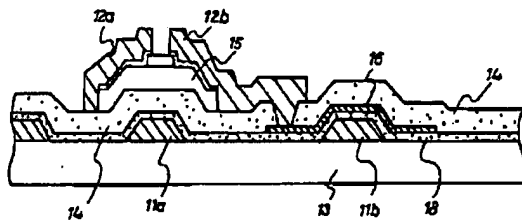
【図10】



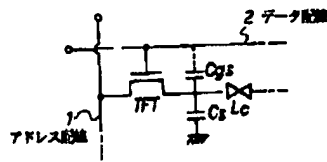
【図11】



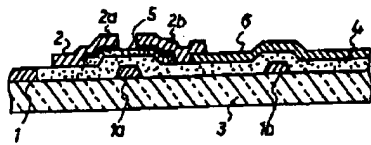
【図12】



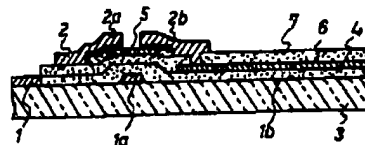
【図13】



【図14】



【図15】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.